

TEMA 4

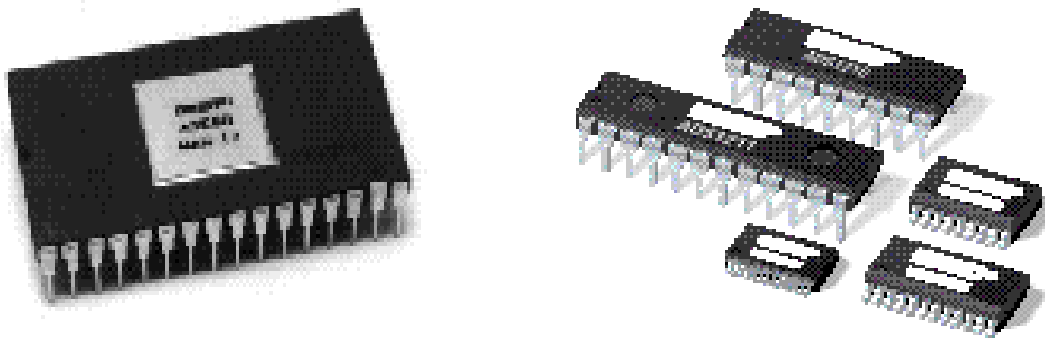
ANÁLISIS Y DISEÑO DE CIRCUITOS COMBINACIONALES

PUERTAS Y FAMILIAS LÓGICAS

1.1 Puertas lógicas

Los operadores lógicos más comunes pueden realizarse mediante circuitos electrónicos en los cuales se sustituyen los valores lógicos, 0 y 1 por niveles de tensión(voltaje) o corriente(intensidad). Estos circuitos que realizan operaciones lógicas se denominan PUERTAS LÓGICAS

Estas puertas lógicas pueden diseñarse de forma discreta o en forma de circuito integrado.



Los CI presentan otras ventajas:

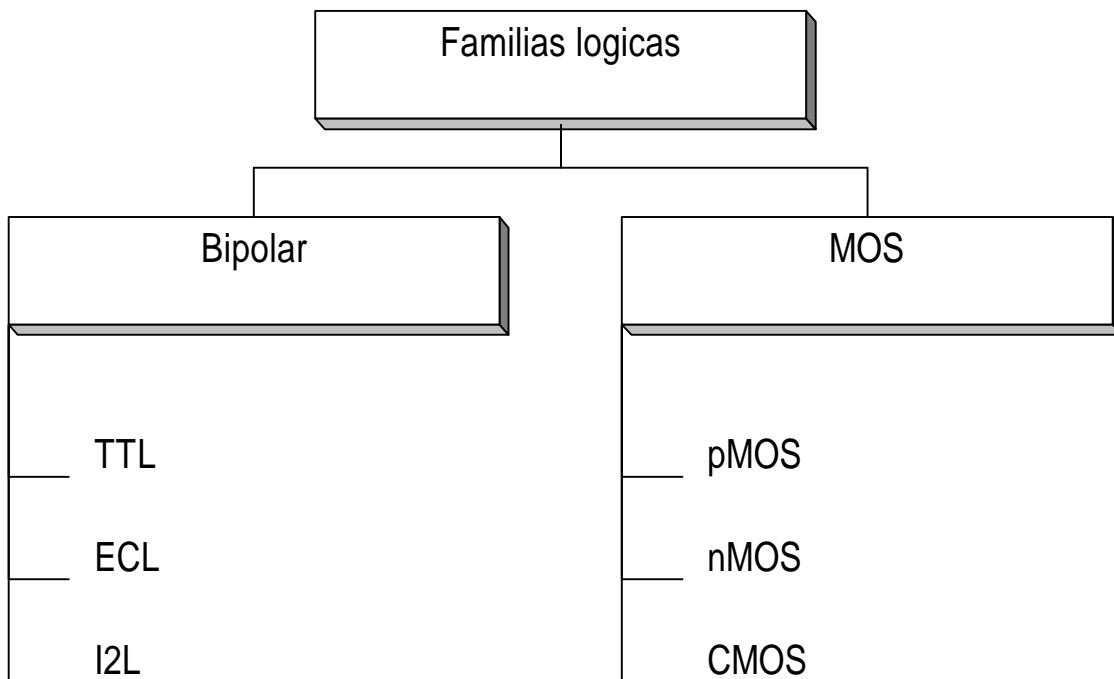
- bajo coste
- bajo consumo
- alta fiabilidad
- velocidad de operación alta
- reduce el número de conexiones externas

Según la escala de integración, los circuitos pueden clasificarse en:

- SSI (Small Scale of Integration). Pequeña escala de integración. <20
- MSI (Medium Scale of Integration). Escala de integración mediana. Entre 20 y 100 aproximadamente
- LSI (Large Scale of Integration). Gran escala de integración. Entre 100 y 1000
- VLSI (Very Large Scale of Integration): Escala de integración muy grande: Comprende aquellos CI que contienen más de 1000 puertas

1.2 Familias lógicas

El conjunto de todos los componentes lógicos que han sido fabricados utilizando la misma tecnología se denomina FAMILIA LÓGICA.



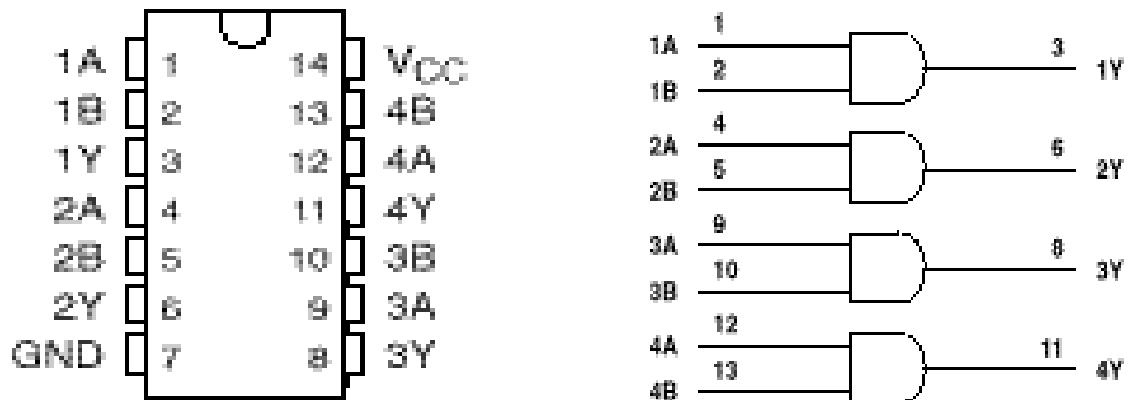
Dentro de cada familia, existen subfamilias con distintas características funcionales.

	CMOS		TTL					
	74HC	4000B	74	74S	74LS	74AS	74ALS	ECL
Disipación de potencia por puerta (mW)								
→ Estática	2.5×10^{-3}	1×10^{-3}	10	20	2	8	1.2	40
→ Dinámica(100Khz)	0.17	0.1	10	20	2	8	1.2	40
Retraso de propagación(ns)	8	50	9	3	9.5	1.7	4	1
Frecuencia de reloj máxima(Mhz)	40	12	35	12.5	45	200	70	300
Margen de ruido (V)	0.9	1.5	0.4	0.3	0.3	0.3	0.4	0.25

Dentro de cada subfamilia, existe una numeración para identificar unas puertas lógicas de otras.

74LS00 puertas NAND en tecnología TTL Low Schottky
74HC00 puertas NAND en tecnología HCMOS
74LS04 inversores en tecnología TTL LS

La siguiente figura muestra el patillaje del circuito integrado 74AS08 y los diagramas lógicos de las puertas que contienen



El fabricante del chip incorpora, en la documentación del circuito, la tabla de verdad del mismo.

FUNCTION TABLE
(each gate)

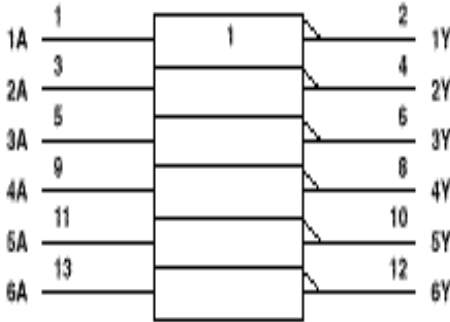
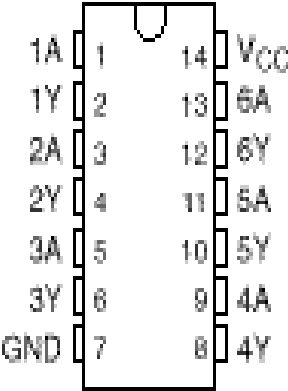
INPUTS		OUTPUT
A	B	Y
H	H	H
L	X	L
X	L	L

Si se usa lógica positiva, el nivel de tensión alto es el 1 lógico (H=1), y el nivel de tensión bajo, el 0 lógico (L=0).

INPUTS		OUTPUT
A	B	
1	1	1
0	X	0
X	0	0

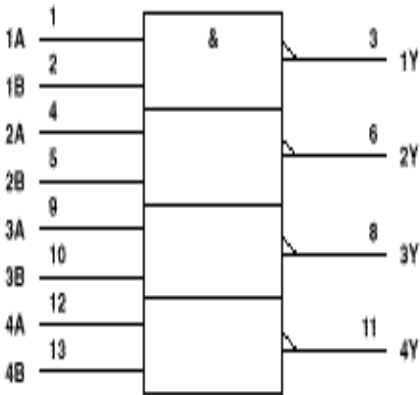
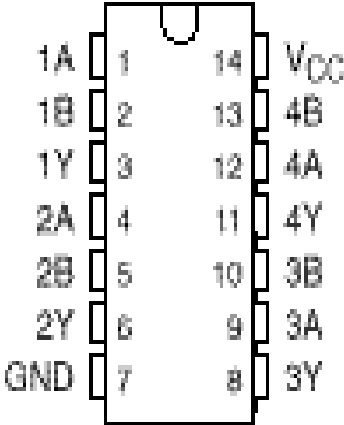
Si se usa lógica negativa, el nivel de tensión alto es el 0 lógico(H=0), y el nivel de tensión bajo, el 1 lógico(L=1)

En la siguiente figura se muestra el 74AS04 (NOT) y el 74AS00 (NAND)



FUNCTION TABLE
(each inverter)

INPUT A	OUTPUT Y
H	L
L	H



FUNCTION TABLE
(each gate)

INPUTS		OUTPUT Y
A	B	
H	H	L
L	X	H
X	L	H

1.3 Características eléctricas de las puertas lógicas

Los fabricantes de C.I. incorporan, en la documentación técnica de los chips, las especificaciones eléctricas y temporales de los mismos. A continuación se representan las características técnicas del inversor 74AS04 que ofrece su fabricante.

recommended operating conditions

		SN54AS04			SN74AS04			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.5	5	5.5	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage			0.8			0.8	V
I_{OH}	High-level output current			-2			-2	mA
I_{OL}	Low-level output current			20			20	mA
T_A	Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	SN54AS04			SN74AS04			UNIT
		MIN	TYP [§]	MAX	MIN	TYP [§]	MAX	
V_{IK}	$V_{CC} = 4.5\text{ V}$, $I_I = -18\text{ mA}$			-1.2			-1.2	V
V_{OH}	$V_{CC} = 4.5\text{ V to } 5.5\text{ V}$, $I_{OH} = -2\text{ mA}$	$V_{CC} - 2$			$V_{CC} - 2$			V
V_{OL}	$V_{CC} = 4.5\text{ V}$, $I_{OL} = 20\text{ mA}$	0.35	0.5		0.35	0.5		V
I_I	$V_{CC} = 5.5\text{ V}$, $V_I = 7\text{ V}$		0.1			0.1		mA
I_{IH}	$V_{CC} = 5.5\text{ V}$, $V_I = 2.7\text{ V}$		20			20		μA
I_{IL}	$V_{CC} = 5.5\text{ V}$, $V_I = 0.4\text{ V}$		-0.5			-0.5		mA
I_{O}^{\dagger}	$V_{CC} = 5.5\text{ V}$, $V_O = 2.25\text{ V}$	-30	-112		-30	-112		mA
I_{CCH}	$V_{CC} = 5.5\text{ V}$, $V_I = 0$	3	4.8		3	4.8		mA
I_{CCL}	$V_{CC} = 5.5\text{ V}$, $V_I = 4.5\text{ V}$	14	26.3		14	26.3		mA

[§] All typical values are at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

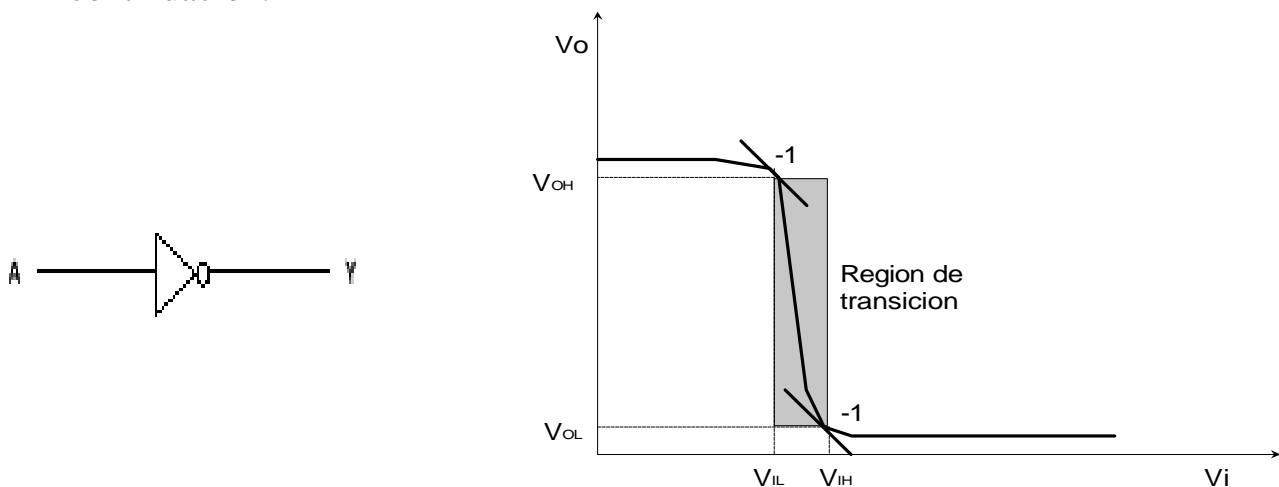
[†] The output conditions have been chosen to produce a current that closely approximates one half of the true short-circuit output current, I_{OS} .

1.3.1 Tensión o voltaje de alimentación

La tensión de alimentación se necesita para que el circuito integrado funcione. Para el ejemplo anterior (74AS00), esta es de 5V, aunque el fabricante da un margen de valores de V_{cc} que asegura el buen funcionamiento del circuito (4.5V – 5.5V).

1.3.2 Característica de Voltaje de salida frente a Voltaje de entrada (V_o - V_i)

Si se representa la tensión de salida para diferentes tensiones de entrada de una puerta inversora, nos queda una gráfica como la mostrada a continuación.



Se plantea la cuestión importante de delimitar cuales son los rangos adecuados para la definición de lo que se considera como un 0 o 1 lógicos a la entrada y a la salida del circuito.

Estos rangos de valores para el 0 y el 1 lógicos se obtienen de la gráfica V_o - V_i obteniendo los puntos de la misma que tienen pendiente -1 . Las coordenadas de estos puntos definen los siguientes parámetros:

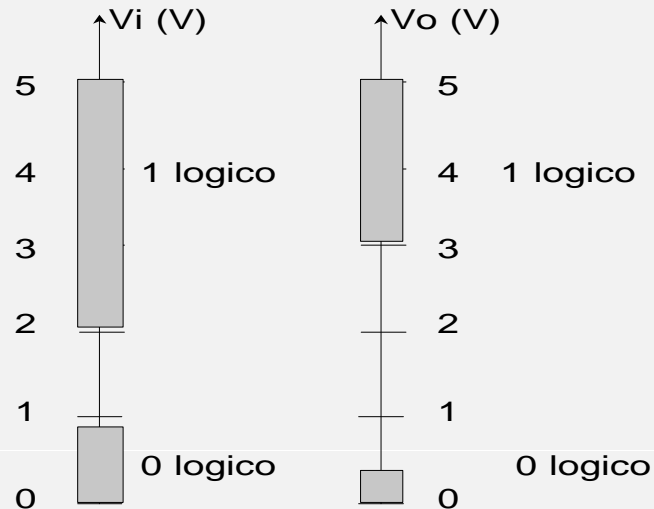
$V_{OH} \rightarrow$ Es la mínima tensión de salida que se considera un “1 lógico”

$V_{OL} \rightarrow$ Es la máxima tensión de salida que se considera un “0 lógico”

$V_{IH} \rightarrow$ Es la mínima tensión de entrada que se considera un “1 lógico”

$V_{IL} \rightarrow$ Es la máxima tensión de entrada que se considera un “0 lógico”

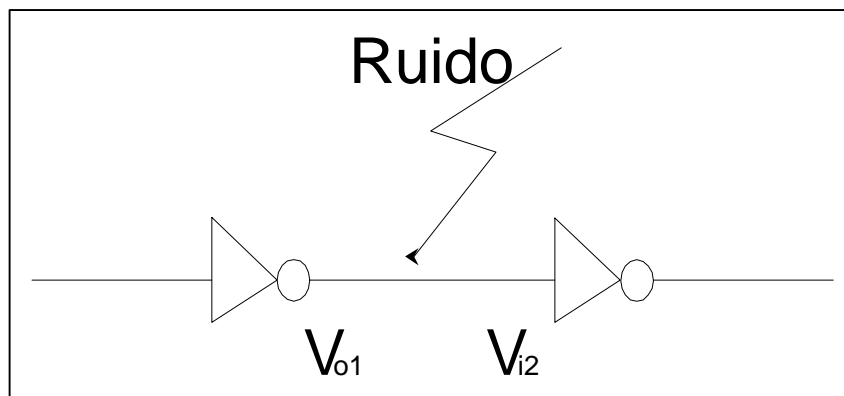
Se destaca el hecho de que los niveles de tensión para los valores lógicos del 0 y del 1 varía de la entrada a la salida.(ejemplo 74AS04)



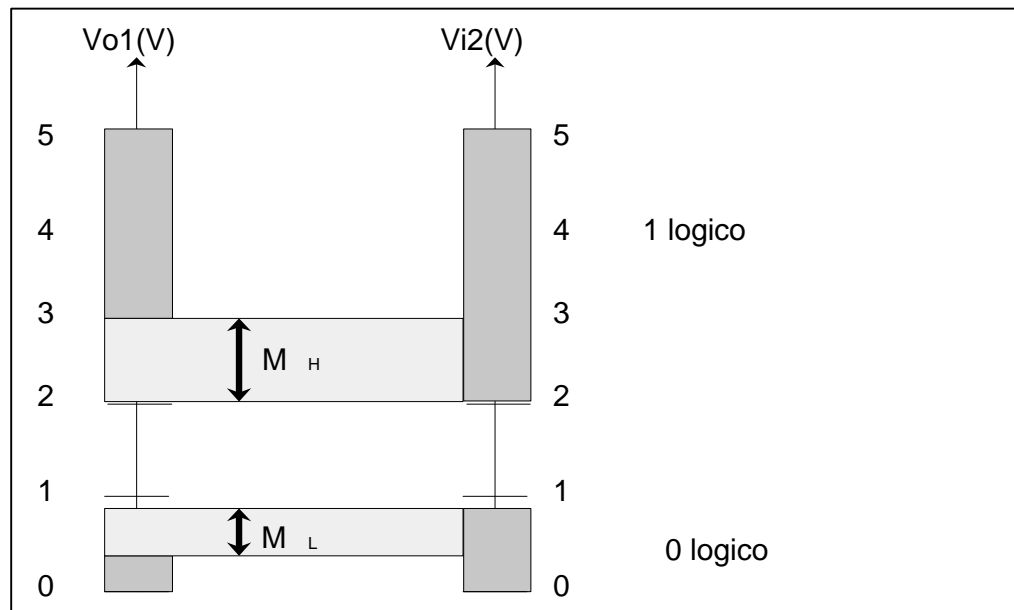
Parámetro	CMOS			TTL			
	4000B	74HC	74HCT	74	74LS	74AS	74ALS
$V_{IH}(\text{min})$	3.5V	3.5V	2V	2V	2V	2V	2V
$V_{IL}(\text{max})$	1.5V	1V	0.8V	0.8V	0.8V	0.8V	0.8V
$V_{OH}(\text{min})$	4.95V	4.9V	4.9V	2.4V	2.5V	2.5V	2.5V
$V_{OL}(\text{max})$	0.05V	0.1V	0.1V	0.4V	0.5V	0.5V	0.4V

1.3.3 Márgenes de ruido

La necesidad de existencia de diferentes rangos para los niveles lógicos en las entradas y salidas de los circuitos digitales se puede entender con la necesidad que tienen estos para funcionar bien en ambientes ruidosos



La siguiente figura muestra el margen existente para el 0 y el 1 a la entrada y salida del 74AS04



Existen dos márgenes: margen de ruido superior, M_H , y margen de ruido inferior, M_L .

$M_H = V_{OH} - V_{IH}$ y se define como la máxima tensión (voltaje) de entrada que se puede superponer al nivel “1” de salida para que la entrada de la siguiente puerta sea considerada también como 1.

$M_L = V_{IL} - V_{OL}$ y se define como la máxima tensión (voltaje) de entrada que se puede superponer al nivel “0” de salida para que la entrada de la siguiente puerta sea considerada también como 0.

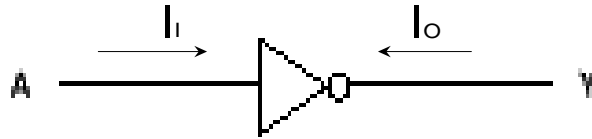
Para el circuito integrado 74AS04, $M_H = 1V$ y $M_L = 0.45$

El margen de ruido, M , se define como el menor de M_H y M_L .

Parámetro	CMOS			TTL			
	4000B	74HC	74HCT	74	74LS	74 ^a S	74ALS
Margen de ruido	1.45V	0.9V	0.7V	0.4V	0.3V	0.3V	0.4V

1.3.4 Corrientes de entrada y salida

Los terminales de entrada y salida de los circuitos integrados presentan intensidades (corrientes) que a su vez puede ser de entrada hacia el interior del circuito (en cuyo caso se consideran positivas) o de salida del circuito (corrientes negativas).



$I_{IH}(\text{max})$ = Es la máxima intensidad de entrada cuando existe un “1” lógico a la entrada de la puerta lógica. (Para el 74AS04 es de $20\mu\text{A}$)

$I_{IL}(\text{max})$ = Es la máxima intensidad de entrada cuando existe un “0” lógico a la entrada de la puerta lógica. (Para el 74AS04 es de -0.5mA)

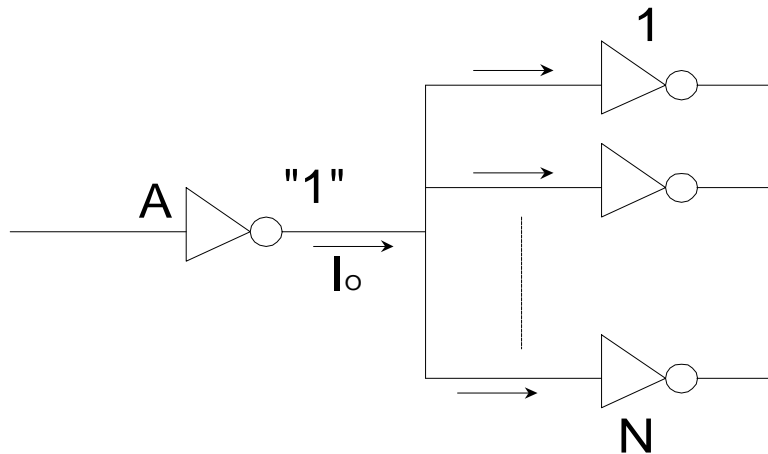
$I_{OH}(\text{max})$ = Es la máxima intensidad de salida cuando existe un “1” lógico a la salida de la puerta lógica. (Para el 74AS04 es de -2mA)

$I_{OL}(\text{max})$ = Es la máxima intensidad de salida cuando existe un “0” lógico a la salida de la puerta lógica. (Para el 74AS04 es de 20mA)

Parámetro	CMOS			TTL			
	4000B	74HC	74HCT	74	74LS	74 AS	74ALS
$I_{IH}(\text{max})$	$1\mu\text{A}$	$1\mu\text{A}$	$1\mu\text{A}$	$40\mu\text{A}$	$20\mu\text{A}$	$20\mu\text{A}$	$20\mu\text{A}$
$I_{IL}(\text{max})$	$1\mu\text{A}$	$1\mu\text{A}$	$1\mu\text{A}$	1.6mA	0.4mA	0.5mA	$100\mu\text{A}$
$I_{OH}(\text{max})$	0.4mA	4mA	4mA	0.4mA	0.4mA	2mA	$400\mu\text{A}$
$I_{OL}(\text{max})$	0.4mA	4mA	4mA	16mA	8mA	20mA	8mA

1.3.5 Fan-out (abanico de salida)

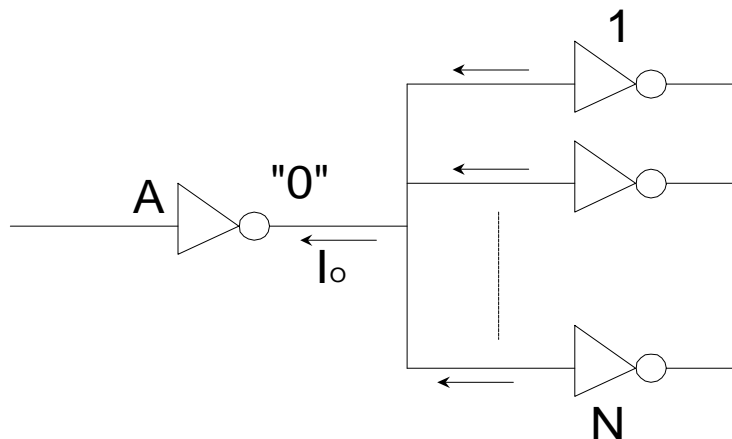
El fan-out define o limita el número de puertas lógicas que pueden conectarse a una puerta dada. Es una constante que indica el máximo de puertas que puede conectarse a una puerta dada para que el conjunto funcione adecuadamente.



Si la puerta A genera un "1" lógico a su salida, la intensidad máxima que esta puede suministrar es de $-2mA$ (el signo menos indica que la intensidad sale de la puerta). En cambio, los inversores $1,2,..N$, tienen un "1" lógico en sus entradas, y en esta situación la intensidad máxima viene dada por $I_{ih}=20\mu A$ (obsérvese que esta intensidad es positiva).

$$N = \frac{2mA}{20\mu A} = 100$$

Supongamos ahora que el inversor A genera un "0" lógico a su salida



La intensidad máxima que la puerta A es capaz de recibir es de $I_{ol}=20\text{mA}$. Las puertas 1,2, ..N, que tienen un “0” lógico en sus entradas son capaces de suministrar un máximo de $N \cdot I_{il}$ ($=N \cdot 0.5\text{mA}$).

$$N = \frac{2\text{mA}}{0.5\text{mA}} = 40$$

El fan-out es el menor de los valores de N para los supuestos anteriores. Para la familia 74AS es de 40.

Parámetro	CMOS			TTL			
	4000B	74HC	74HCT	74	74LS	74 AS	74ALS
Fan-out	400	4000	4000	10	20	40	20

1.3.6 Disipación de potencia

Es la potencia disipada por el circuito integrado y se mide, normalmente, en mW.

$$Potencia = V_{cc} \cdot I_{cc}$$

Donde I_{cc} es la intensidad que consume el circuito integrado por el pin de alimentación V_{cc} .

El fabricante muestra dos parámetros de I_{cc} : I_{cch} e I_{ccl} . Tomando el valor medio de I_{cch} e I_{ccl} se puede obtener una buena aproximación del consumo real del integrado. La potencia final será:

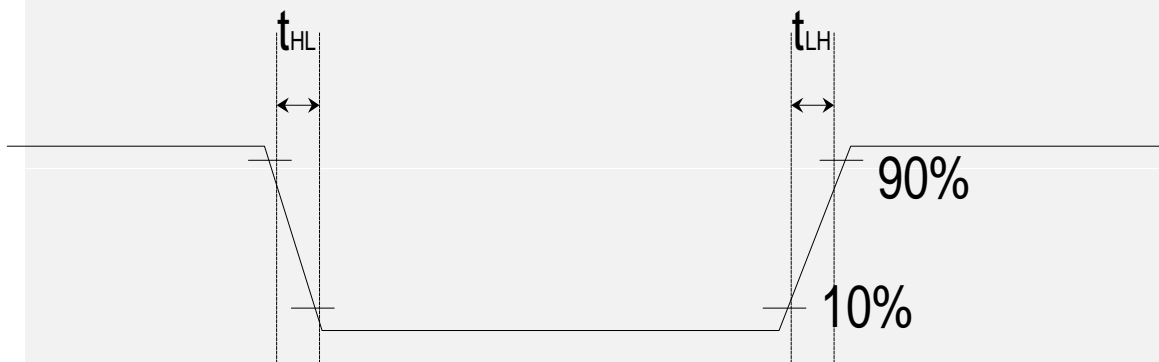
$$Potencia = V_{cc} \cdot \frac{I_{cch} + I_{ccl}}{2}$$

1.4 Características temporales de las puertas lógicas

Algunos parámetros de gran importancia que miden la “capacidad de respuesta” de los circuitos integrados digitales son los tiempos de propagación o tiempos de retraso.

t_{LH} = Es el tiempo que tarda la salida de la puerta en pasar del nivel bajo de tensión al nivel alto.

t_{HL} = Es el tiempo que tarda la salida de la puerta en pasar del nivel alto de tensión al nivel bajo

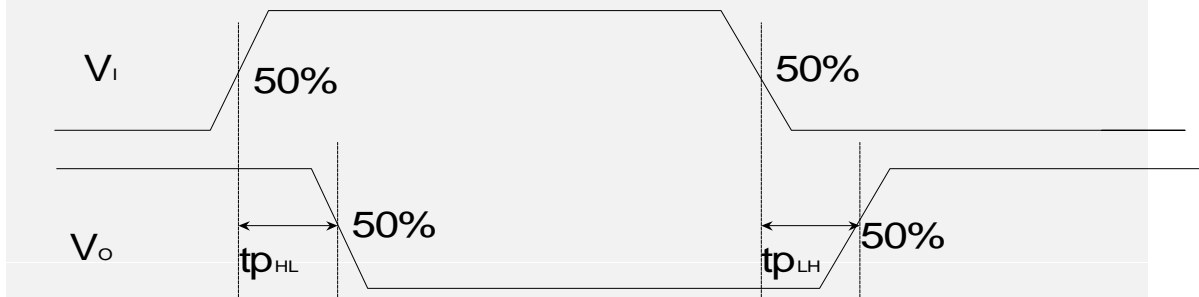


Los tiempos t_{LH} y t_{HL} se miden del 10% al 90% de la señal de salida de la puerta

t_p = es el tiempo de retraso existente entre la entrada y la salida. Mide el tiempo que tarda un cambio de valor lógico en la entrada del circuito en propagarse hasta la salida. Existen dos modalidades:

t_{pLH} = Es el tiempo de retraso existente desde que se generó un cambio de valor lógico en la entrada hasta que la salida comienza a sufrir una transición de nivel bajo a nivel alto.

t_{pHL} = Es el tiempo de retraso existente desde que se generó un cambio de valor lógico en la entrada hasta que la salida comienza a sufrir una transición de nivel alto a nivel bajo.



Para el 74AS04, el fabricante da los siguientes valores

switching characteristics (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	V _{CC} = 4.5 V to 5.5 V, C _L = 50 pF, R _L = 500 Ω, T _A = MIN to MAX†				UNIT
			SN54AS04		SN74AS04		
			MIN	MAX	MIN	MAX	
t _{PLH}	A	Y	1	6	1	5	ns
t _{PHL}			1	4.5	1	4	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

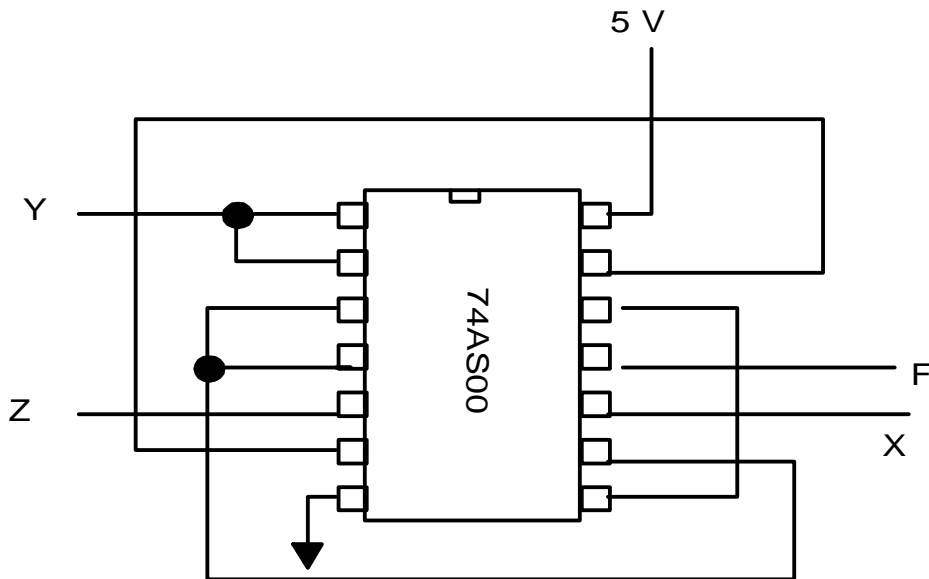
En la mayoría de las situaciones no es necesario diferenciar entre t_{PHL} y t_{PLH} por lo que se da un único valor de propagación t_p

$$t_p = \frac{t_{plh} + t_{phl}}{2}$$

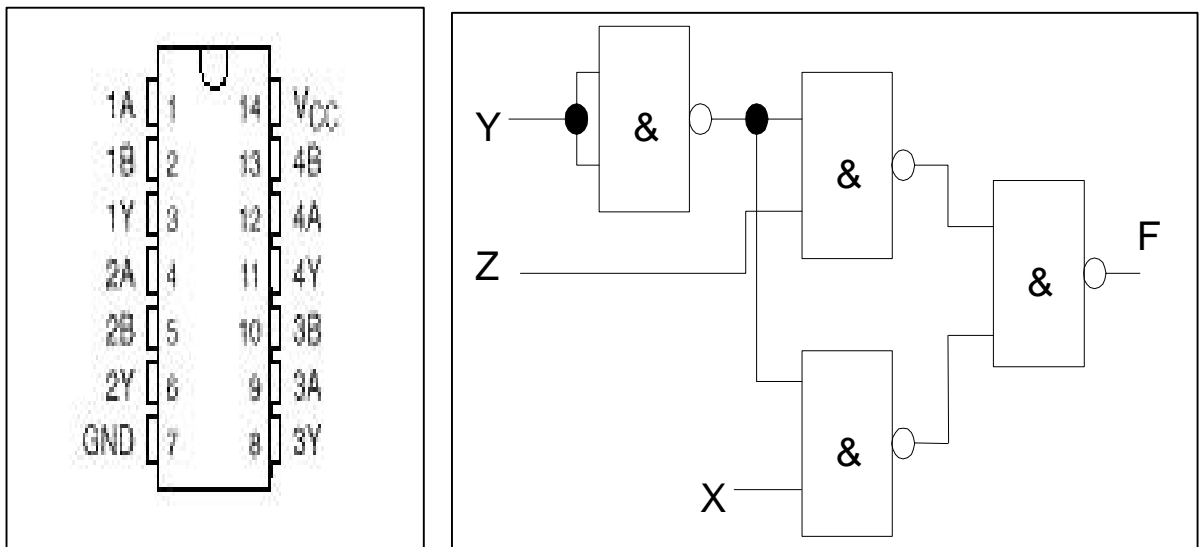
2. ANÁLISIS DE CIRCUITOS COMBINACIONALES

Un circuito combinacional es un circuito digital cuyas salidas, en un instante determinado y sin considerar los tiempos de propagación de las puertas, son función, exclusivamente, de la “combinación” de valores binarios de las entradas del circuito en ese mismo instante

Ejemplo 1: Analice el circuito de la siguiente figura, constituido por un único chip de sólo NAND.



En primera aproximación al análisis, se puede proceder a REPRESENTAR el esquema simbólico del circuito.



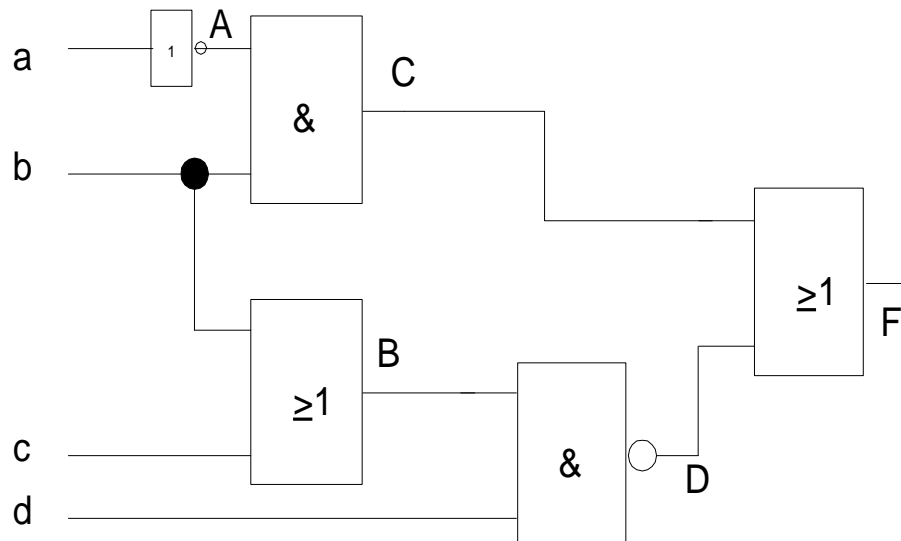
A partir del símbolo gráfico, se puede resolver la salida del circuito para cada combinación de entrada y representarlo en una tabla.

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Se puede suministrar unos criterios a seguir en el análisis de circuitos combinacionales.

- 1) Etiquetar o señalar con símbolos las salidas de las puertas que son función de las variables de entrada. Obtener la función de Boole para cada una de estas puertas
- 2) Etiquetar con símbolos las salidas de las puertas que son función de puertas etiquetadas o/y variables de entrada
- 3) Repetir 2 hasta que se llegue a la salida del circuito. Obtener las funciones de Boole
- 4) Por sustitución repetida de las etiquetas, obtener la expresión algebraica de la salida en función de las variables de entrada

Ejemplo:



Paso 1: $A = a'$
 $B = b + c$

Paso 2 y 3: Se etiquetan las restantes puertas hasta llegar a F

$$C = A \bullet b$$

$$D = (B \bullet d)'$$

$$F = C + D$$

Paso 4: Se sustituyen en F las etiquetas, de forma sucesiva, hasta conseguir la expresión final

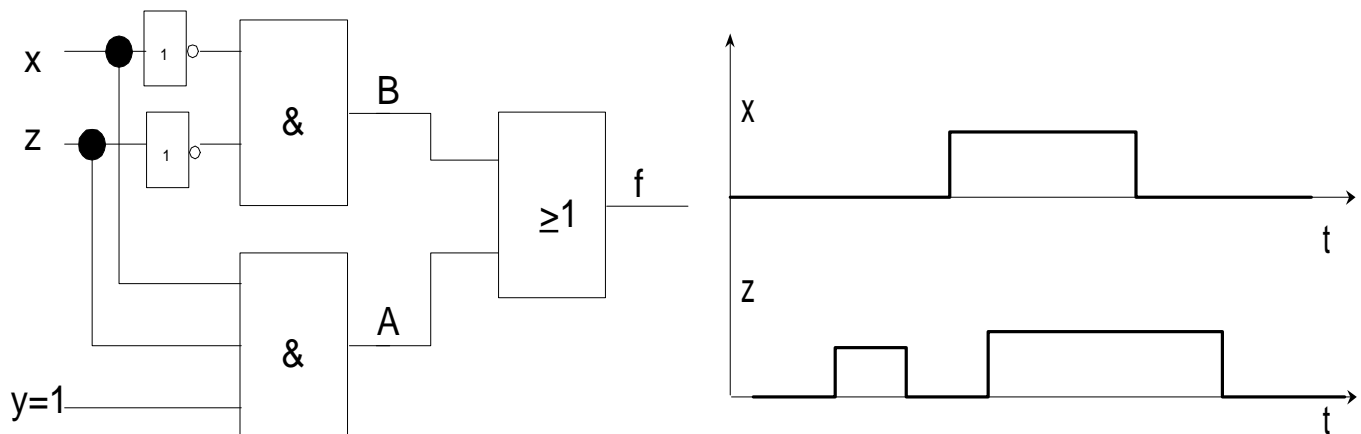
$$F = A \bullet b + (B \bullet d)' = a'b + B'd' = a'b + (b+c)' + d' = a'b + b'c' + d'$$

2.1 Análisis temporal de circuitos combinacionales

El análisis temporal de la salida de un circuito es una representación de la evolución de los niveles de tensión de dicha salida del circuito en el tiempo, para una evolución determinada en las entradas del mismo.

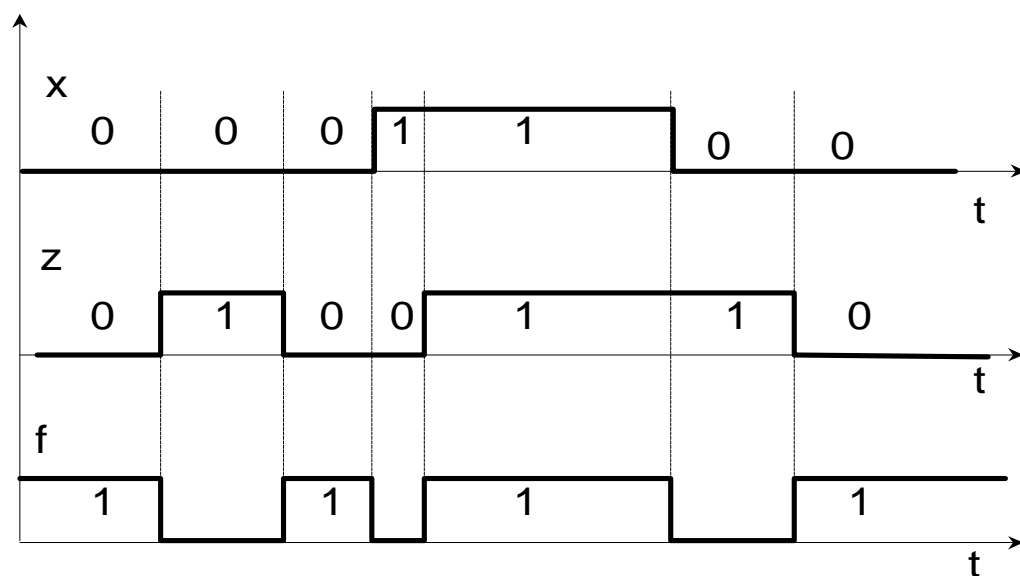
El análisis temporal puede afrontarse de varias formas distintas.

Ejemplo: Se desea representar la salida del siguiente circuito para una evolución de las entradas x,z,y mostrada en los cronogramas

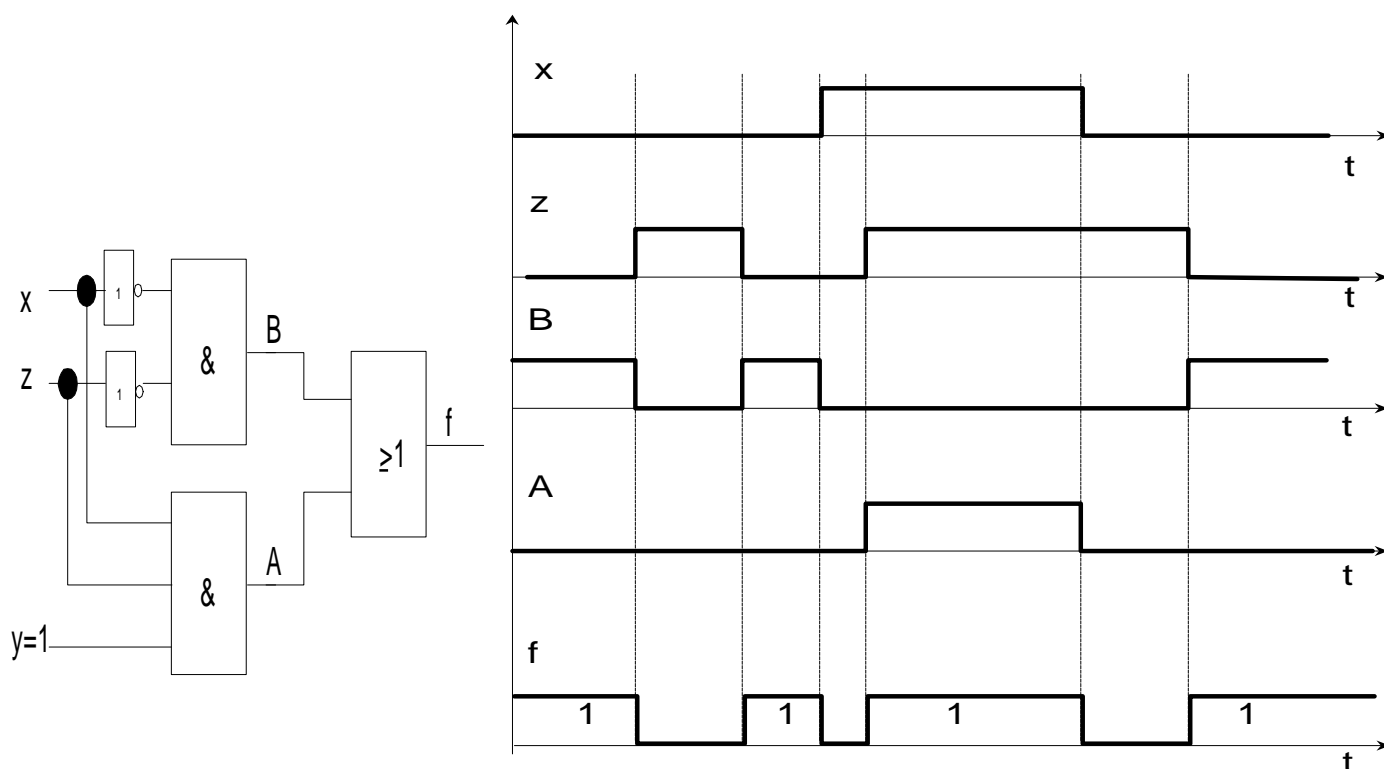


El análisis lógico de este circuito permite expresar $f = x'z' + yxz$ cuya tabla de verdad es

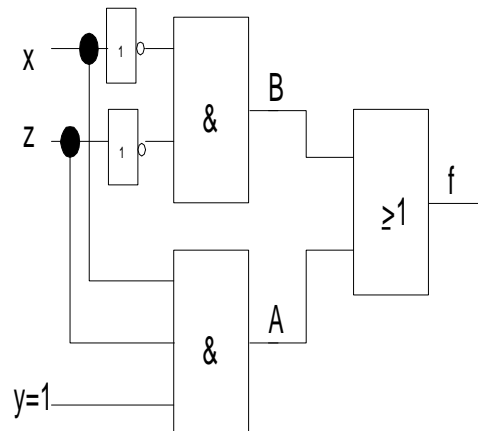
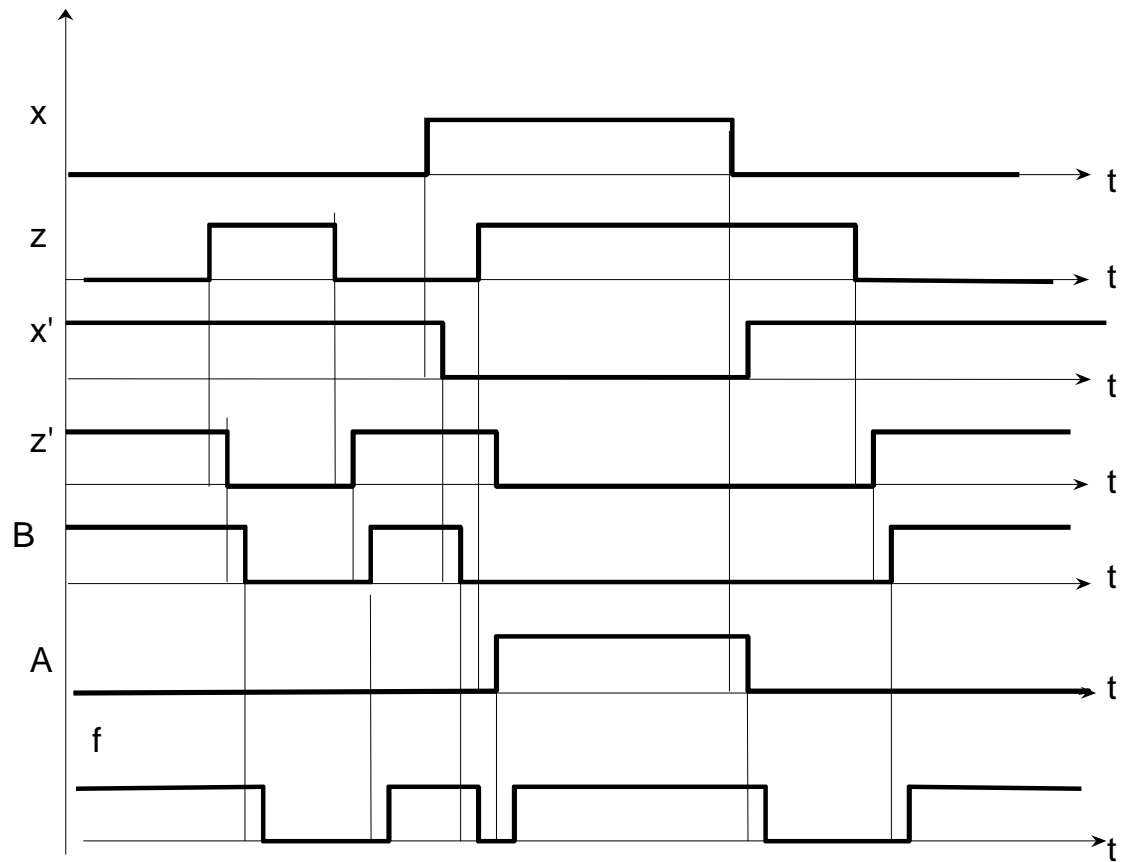
x	y	z	f
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1



Este mismo resultado podría haberse obtenido dibujando todas las formas de onda de las salidas de las puertas del circuito hasta obtener la salida f.



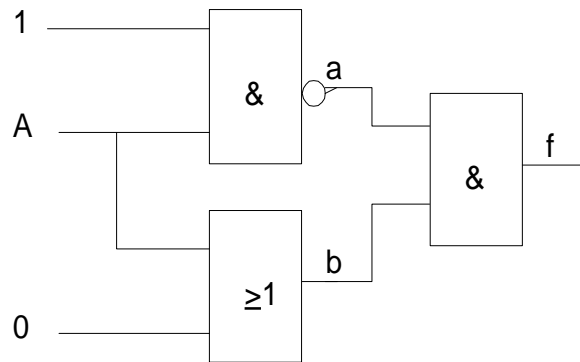
El análisis temporal del ejemplo anterior, no contempla los posibles retrasos de las puertas lógicas (tiempo de propagación $-t_p-$)



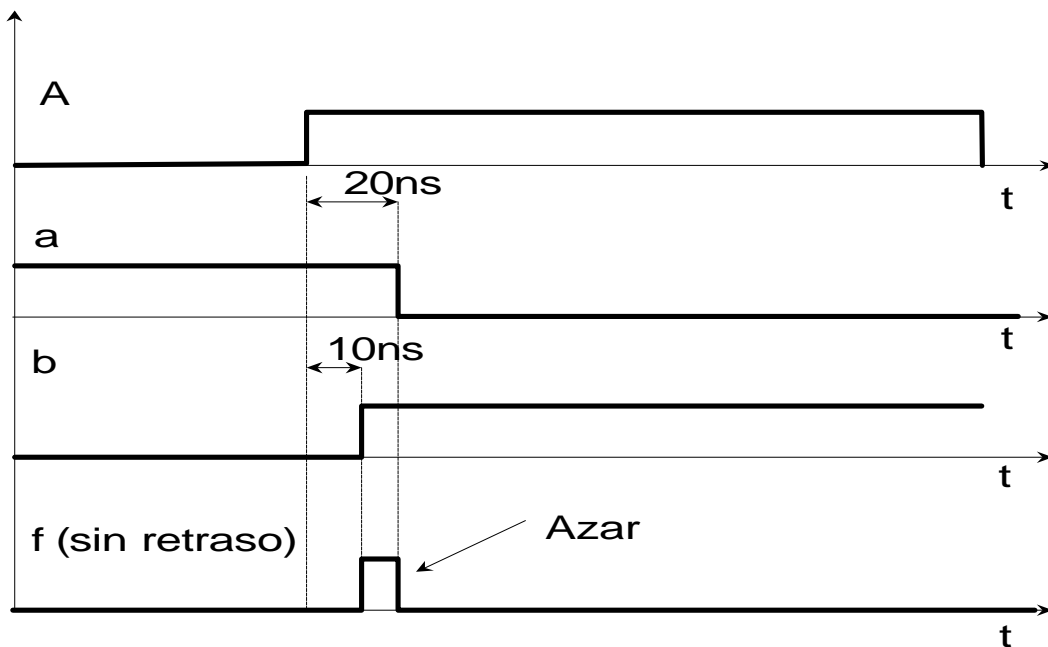
2.1.1 Azares

Al hacer el estudio temporal de la salida de algunos circuitos en los que se contemplan los fenómenos de retrasos de las puertas puede aparecer discrepancias (a modo de pulsos estrechos) en la salida de los mismos con respecto al estudio lógico. Estos pulsos se denominan azares.

Ejemplo: Se realizará una análisis lógico y temporal del circuito de la figura siguiente en el que la puerta NAND tiene un retardo de 20ns, la puerta OR, de 10ns y la AND de 1ns



La salida $f = a * b = A' * A = 0$



3. DISEÑO DE CIRCUITOS COMBINACIONALES

El diseño de circuitos combinacionales trata el problema inverso al análisis: a partir de una especificación inicial, se trata de determinar las ecuaciones booleanas (o tabla de verdad) que satisfaga dicha especificación y, de estas, el esquema del circuito.

Ejemplo: Se desea diseñar un sistema de aviso muy simple para un coche, que debe operar del siguiente modo:

- Si el motor está apagado y las puertas abiertas, sonará una alarma
- Si el motor está encendido y el freno de mano está puesto, también sonará la alarma.

Las situaciones reales, motor encendido o apagado, puertas abiertas o cerradas, etc pueden tratarse como variables binarias.

Sean f,e,p tres variables binarias que indican:

f→ freno de mano. Toma el valor 1 si está puesto y 0 en caso contrario.

p→ Puerta. Toma el valor 1 si alguna de las puertas del coche están abiertas y 0 cuando todas las puertas están cerradas

e→ encendido. Toma el valor 1 si el motor está arrancado, 0 si está apagado.

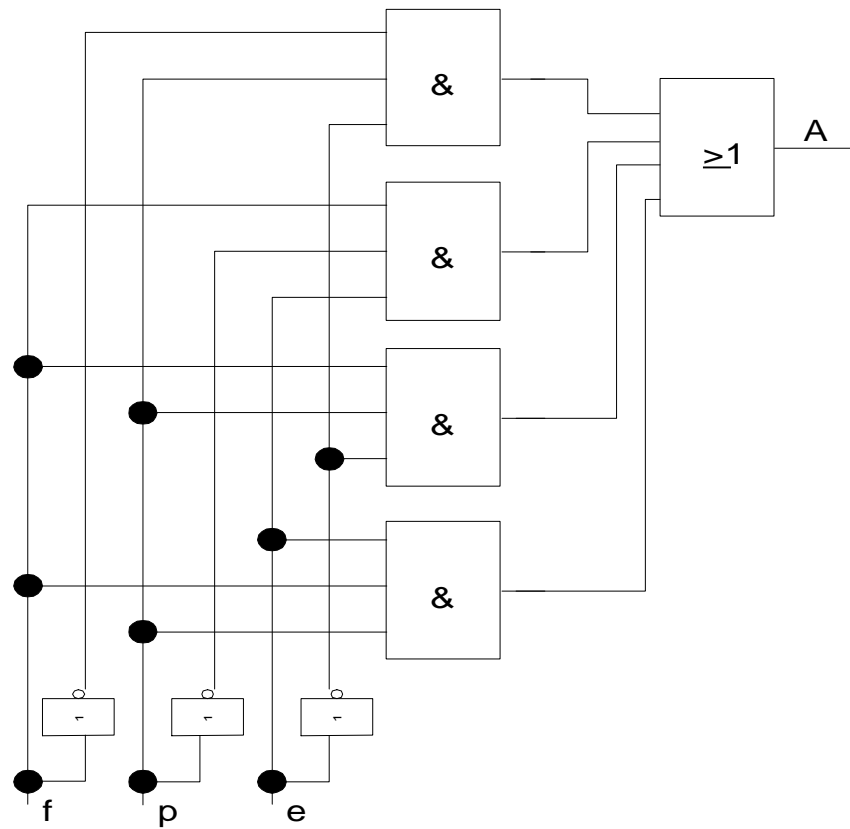
La salida A puede considerarse también como una señal binaria, A, que toma dos valores posibles: Si A=1 , la alarma se activa, si A=0, la alarma no se activa.

f	p	e	A
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

A partir de la tabla de verdad se pueden obtener la expresión suma de minterminos asociada:

$$A = f' p e' + f p' e + f p e' + f p e$$

Que a su vez se puede implementar usando puertas lógicas.



3.1 Minimización de circuitos combinacionales

Uno de los objetivos del diseño lógico es el desarrollo óptimo del circuito con un coste lo más pequeño posible.

Para el diseño de circuitos de conmutación deben considerarse algunos factores para la evaluación del producto final:

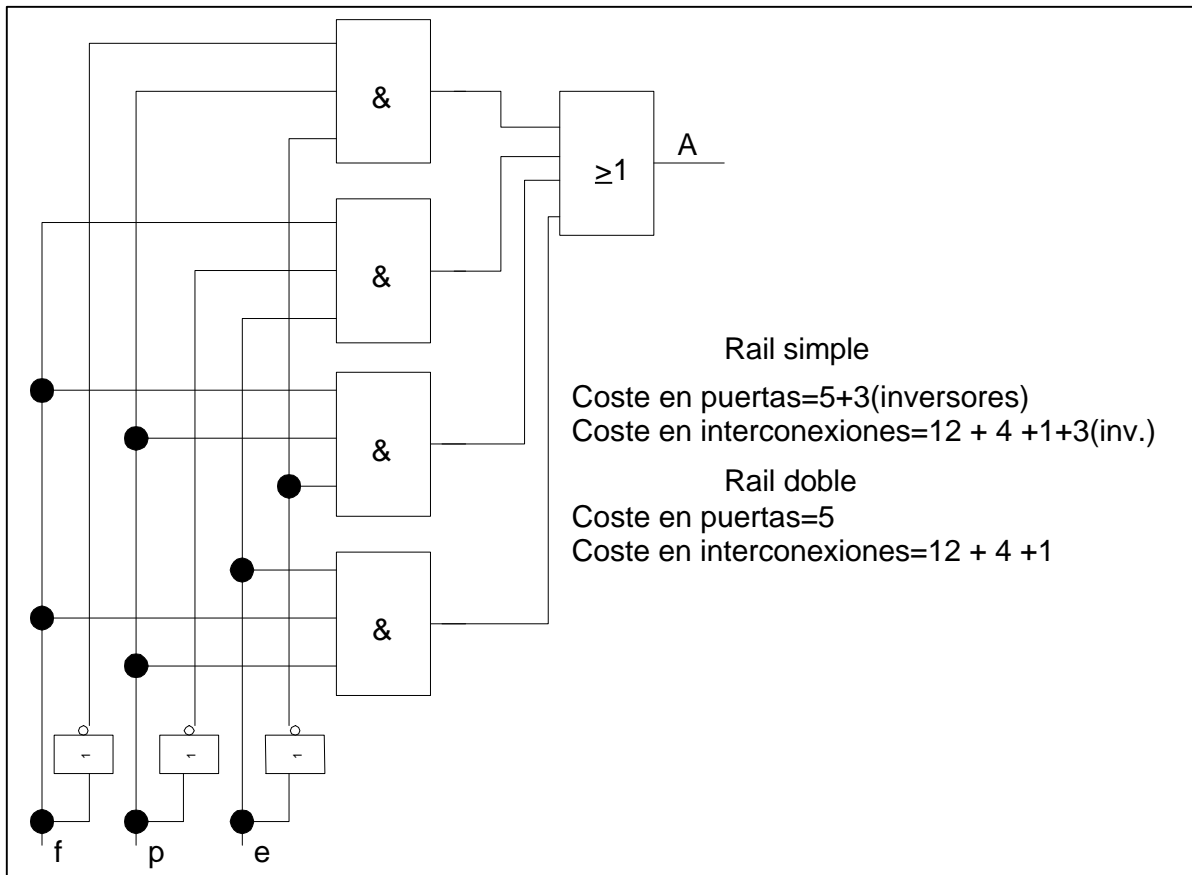
→ Coste:

→ Fiabilidad:

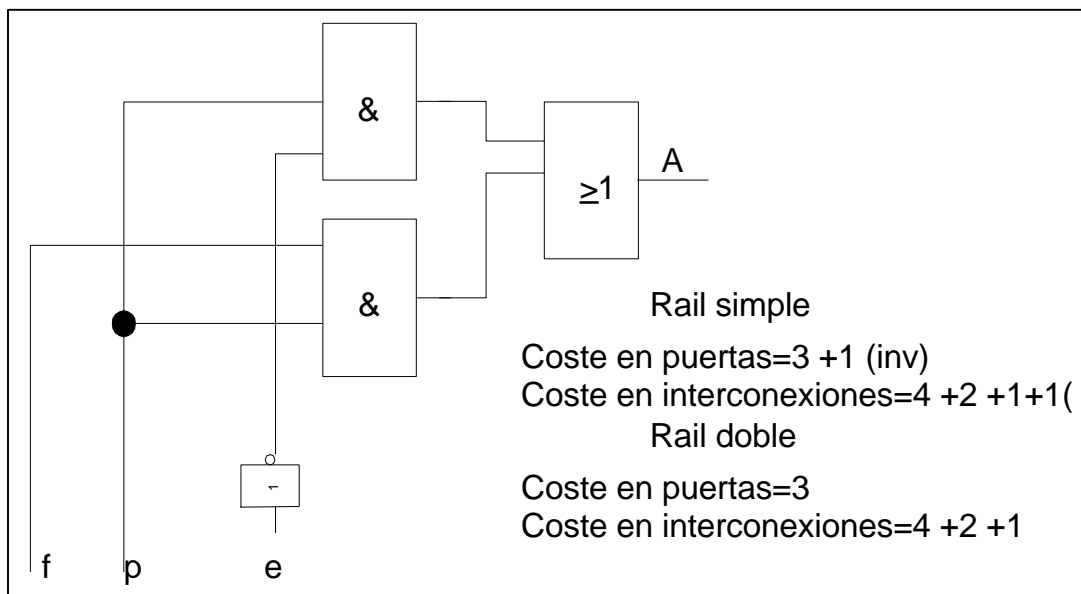
→ Tiempo de conmutación:

En primer lugar, asumimos que el retraso de conmutación debe ser mínimo.

En segundo lugar, asumiremos que el coste en componentes es el factor de peso para el diseño de circuitos de conmutación. El coste en puertas es equivalente al número de puertas necesarias para la realización del circuito.



$$A = f' p e' + f p' e + f p e' + f p e$$



$$A = fe + pe'$$

El coste en interconexión o número de conexiones a realizar entre las variables, las puertas lógicas y la salida depende, fundamentalmente, del número de literales de la expresión.

El problema de encontrar una expresión de conmutación que satisfice algún criterio de optimización se denomina MINIMIZACIÓN.

3.1.1 Implicantes primas y expresiones irredundantes

Consideremos dos funciones de n variables: f_1 y f_2 . Se dice que la función f_1 implica a f_2 si no existe asignación de valores a las n variables de entrada que hagan f_1 igual a 1 y f_2 igual a 0. Esto es, f_2 se hará 1 para aquellas entradas que hacen f_1 igual a 1 y para las entradas en que f_2 toma el valor 0, f_1 también vale 0. Cuando f_1 implica a f_2 se puede decir de forma equivalente que f_2 incluye o cubre a f_1 .

Ejemplo: Consideremos $f_1(x,y,z)=xy + yz$ y $f_2(x,y,z)=xy+yz+x'z$

X Y Z	F_1	F_2
0 0 0	0	0
0 0 1	0	1
0 1 0	0	0
0 1 1	1	1
1 0 0	0	0
1 0 1	0	0
1 1 0	1	1
1 1 1	1	1

Ejemplo: Considérese que $f_3(x,y,z)=(x+y)(y+z)(x'+z)$ y $f_4(x,y,z)=(x+y)(y+z)$

X Y Z	f_3	f_4
0 0 0	0	0
0 0 1	0	0
0 1 0	1	1
0 1 1	1	1
1 0 0	0	0
1 0 1	1	1
1 1 0	0	1
1 1 1	1	1

Es posible también una comparación de términos. Un término t_1 se dice subsuma de otro término t_2 , si los literales del término t_2 son también literales del término t_1 . Expresado de forma equivalente, los literales de t_2 deben estar contenidos en t_1 . Si t_1 es subsuma de t_2 se dice también que t_2 cubre a t_1 .

Ejemplo: Sean los términos $t_1 \equiv xy'z'$ y $t_2 \equiv xz'$.

El término t_1 es subsuma de t_2

Ejemplo: Sean los términos $t_1 \equiv x+y'+z'$ y $t_2 \equiv x+z'$.

El término t_1 es subsuma de t_2

Implicantes

Se dice que un término producto es una implicante de una función f , si el término producto implica a la función sobre su dominio.

Ejemplo: Sea la función de conmutación $f(x,y,z)=\Sigma m(0,1,3,5)+d(2,6)$ cuya representación en tabla de verdad se muestra a continuación

X Y Z	F
0 0 0	1
0 0 1	1
0 1 0	-
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	-
1 1 1	0

Se desea determinar si los siguientes términos productos son implicantes de la función f : $t_1 \equiv x'$, $t_2 \equiv y'z$ y $t_3 \equiv yz$.

X Y Z	F	t_1	t_2	T_3
0 0 0	1	1	0	0
0 0 1	1	1	1	0
0 1 0	-	1	0	0
0 1 1	1	1	0	1
1 0 0	0	0	0	0
1 0 1	1	0	1	0
1 1 0	-	0	0	0
1 1 1	0	0	0	1

Implicantes primas

Una implicante prima de la función f es una implicante de dicha función que no es subsuma de otra implicante de la misma función que contenga menos literales.

Ejemplo: Para la función anterior, $f(x,y,z)=\Sigma m(0,1,3,5)+d(2,6)$

X Y Z	F
0 0 0	1
0 0 1	1
0 1 0	-
0 1 1	1
1 0 0	0
1 0 1	1
1 1 0	-
1 1 1	0

El término $\{x'\}$ e $\{y'z\}$ son implicantes primas.

Suma irredundante o fórmula disyuntiva irredundante

Una suma irredundante es una fórmula normal disyuntiva que describe una función de conmutación que cumple:

- a) todo término producto en la expresión es implicante prima.*
- b) Ningún término producto puede ser eliminado de la expresión sin que cambie la función descrita por la fórmula.*

Ejemplo 1: sea la función de conmutación $f(x,y,z)=\Sigma m(0,1,3,5)+d(2,6)$.
Determinar si la siguiente expresión es suma irredundante

$$F(x,y,z)= x'+y'z$$

Ejemplo 2: Supongamos que la siguiente expresión que define la función f , está compuesta por todos los implicantes primos de f .

$$F(a,b,c)= a'b' + b'c' + a'c$$

Se trata de determinar si la suma de implicantes primas anterior es irredundante.

abc	F	$a'b'$	$b'c'$	$a'c$
000	1	1	1	0
001	1	1	0	1
010	0	0	0	0
011	1	0	0	1
100	1	0	1	0
101	0	0	0	0
110	0	0	0	0
111	0	0	0	0

$$F(a,b,c) = b'c' + a'c$$

3.1.2 Implicadas primas y productos irredundantes

Un término suma se dice implicada de una función f , si esta función implica al término en el dominio de esta. Dicho de otra forma, una implicada es un término suma que para los valores de entrada definidos en el dominio de la función f que hacen que dicho término valga cero, también la función f vale cero.

Una implicada prima de una función es una implicada cuyas subsumas no son, a su vez, implicadas de la misma función con un menor número de literales.

Ejemplo: Sea la función $f(x,y,z)=\Pi(0,1,3,5)d(2,6)$

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	-
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	-
1	1	1	1

El término $\{x+y\}$ es implicada de la función pero no es prima ya que es subsuma de $\{x\}$ que también es implicada de la función.

El término $\{y+z'\}$ también es implicada prima

*Un **producto irredundante** es una fórmula normal conjuntiva que describe una función de conmutación que cumple:*

c) todo término suma en la expresión es implicada prima.

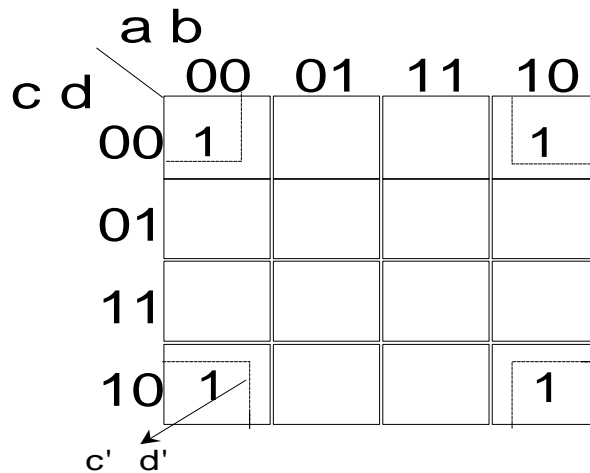
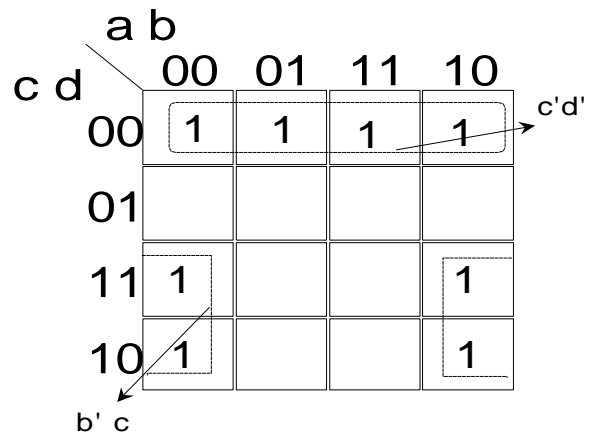
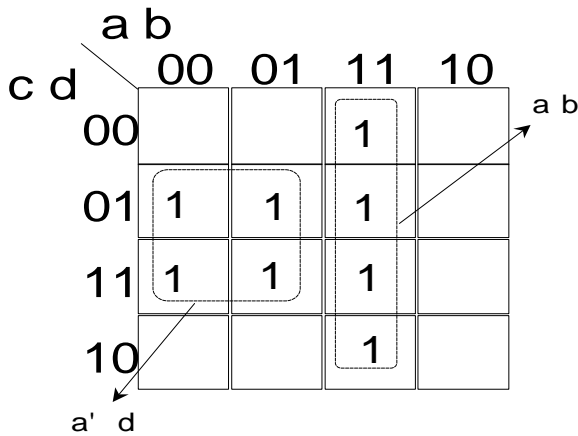
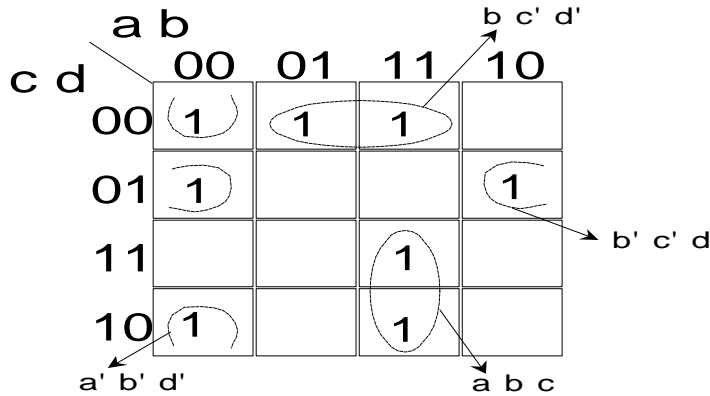
d) Ningún término suma puede ser eliminado de la expresión sin que cambie la función descrita por la fórmula.

Ejemplo: Sea la función del ejemplo anterior $f(x,y,z)=\Pi(0,1,3,5)d(2,6)$.

Esta función puede expresarse como $f(x,y,z)=x(y+z')$ siendo este el producto mínimo.

3.1.3 Método de simplificación mediante K-mapa

Un conjunto de 1-cells que formen un rectángulo de dimensiones $2^a \times 2^b$ es descrito por un término producto de $n - a - b$ variables. De igual forma, un conjunto de 0-cells que formen un rectángulo de $2^a \times 2^b$ es descrito por un término suma de $n - a - b$ variables.



		a b			
		00	01	11	10
c d	00	1	1	1	1
	01	1	1	1	1
	11				
	10	1	1	1	1

Annotations:
 - A dashed rectangle encloses the four 1s in the first two rows (cd = 00, 01).
 - An arrow labeled c' points to the right side of this rectangle.
 - An arrow labeled d' points to the bottom row (cd = 10).

		a b			
		00	01	11	10
c d	00	1	1		1
	01	1	1		1
	11	1	1		1
	10	1	1		1

Annotations:
 - A dashed rectangle encloses the four 1s in the first two columns (ab = 00, 01).
 - An arrow labeled b' points to the right side of this rectangle.
 - An arrow labeled a' points to the bottom row (cd = 10).

Para entender que un rectángulo de 1-cells es descrito por un término producto analizaremos un caso sencillo.

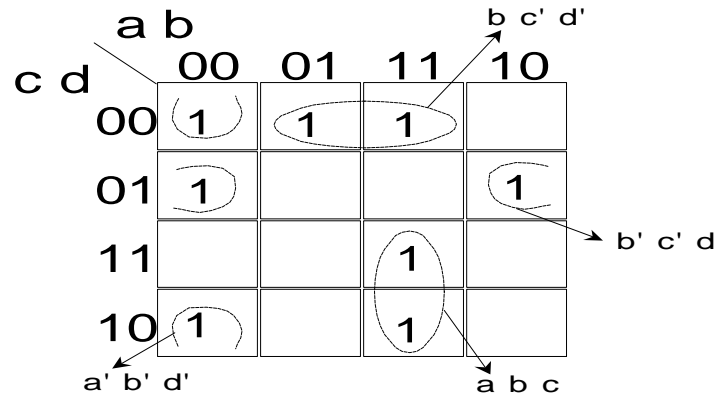
		a b			
		00	01	11	10
c d	00				
	01		1	1	
	11				
	10				

Annotation:
 - A dashed rectangle encloses the two 1s in the row where cd = 01.

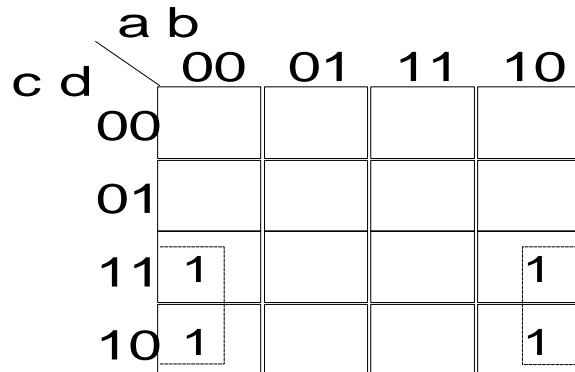
$$F(a,b,c,d) = a'bc'd + abc'd$$

$$a'bc'd + abc'd = b c'd(a+a') = bc'd.$$

A partir del K-mapa, se puede obtener directamente la expresión del término producto que define el rectángulo de dos 1-cells.



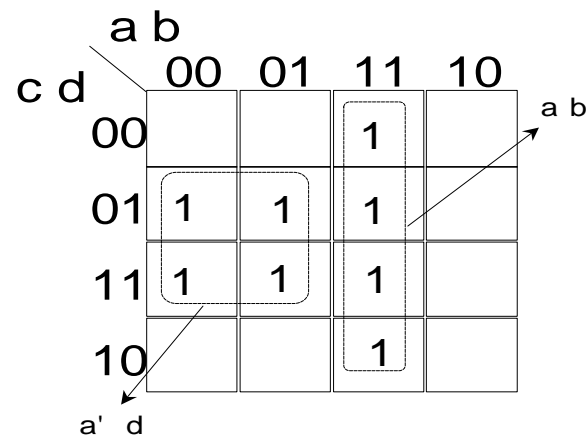
En el siguiente K-mapa tenemos representado un rectángulo de cuatro 1-cells.



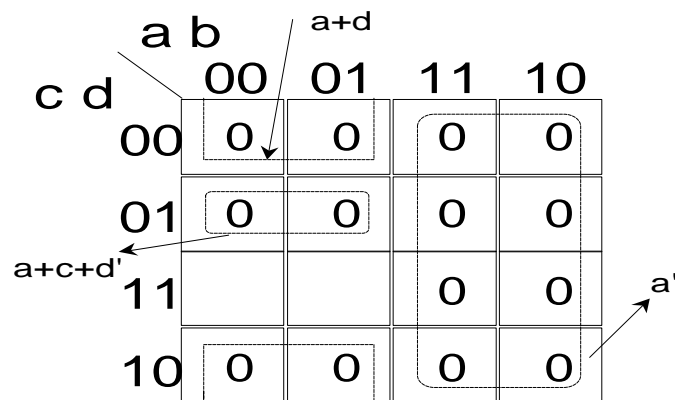
$$\underline{F(a,b,c,d) = a'b'cd + a'b'cd' + ab'cd + ab'cd' = \Sigma(2,3,10,11)}$$

$$F(a,b,c,d)=b'c(a'+a)=b'c$$

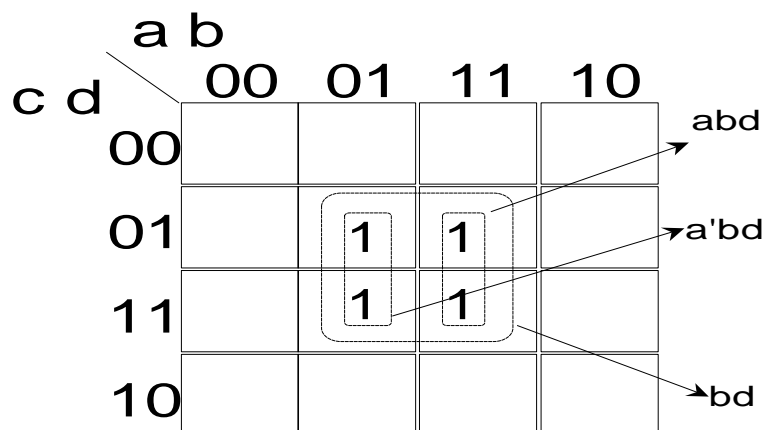
A partir del K-mapa se puede obtener directamente la expresión del término producto que define el rectángulo de cuatro 1-cells.



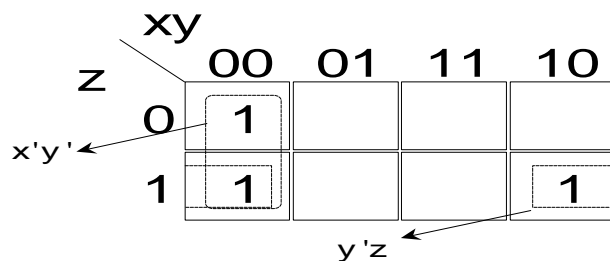
El proceso de obtención de la expresión asociada a los rectángulos puede extenderse a rectángulos de mayor tamaño o a rectángulos formados por 0-cells.



Obtención de las implicantes primas y sumas irredundantes por el método del K-mapa

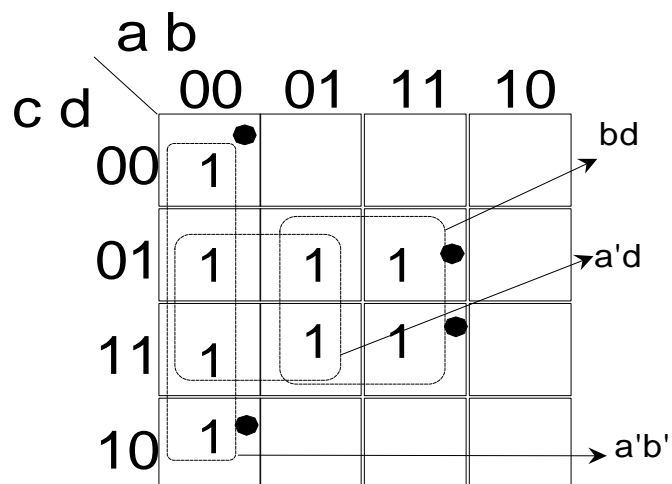


Ejemplo 1



$$F(x,y,z) = x'y' + y'z$$

Ejemplo 2



$$F(a,b,c,d) = bd + a'd + a'b'$$

La expresión mínima es

$$F(a,b,c,d) = a'b' + bd$$

Ejemplo 3

		a b			
		00	01	11	10
c d	00	1	1		1
	01	1	1	1	
	11	1			
	10		1		

$$F(a,b,c,d) = b'c'd' + a'b'd + bc'd + a'bd'$$

Ejemplo 4

		xy			
		00	01	11	10
z	0	1		1	
	1	1		1	1

$x'y'$ ← (0,0)
 xz ← (1,0)
 $y'z$ ← (1,1)

Solución 1.- $F(x,y,z) = x'y' + xy + xz$

Solución 2.- $F(x,y,z) = x'y' + xy + y'z$

Ejemplo 5

		a b			
c d		00	01	11	10
	00	1	1		
	01		1	1	●
	11	1	1	1	●
	10	1			

Paso 1

$$F(a,b,c,d) = bd + \dots (\text{otros términos a determinar})$$

Paso 2

$$F(a,b,c,d) = bd + a'c'd' + \dots (\text{otros términos a determinar})$$

Paso 3

$$F(a,b,c,d) = bd + a'c'd' + a'b'c$$

Ejemplo 6

		a b			
c d		00	01	11	10
	00	1			1
	01	1	1	1	1
	11		1	1	
	10	1	1	1	1

Suposición 1: $F(a,b,c,d)=b'd'+ \dots$ (otros términos a determinar)

Suposición 2: $F(a,b,c,d)= b'c'+ \dots$ (otros términos a determinar)

Suposición 1:

		a b			
c d		00	01	11	10
	00	1			1
	01	1	1	1	1
	11		1	1	
	10	1	1	1	1

$$F(a,b,c,d)= b'd' + c'd + \dots \text{ (otros términos a determinar)}$$

La expresión anterior cubre los minterminos que aparecen sombreados en el siguiente K-mapa.

		a b			
c d		00	01	11	10
	00	1			1
	01	1	1	1	1
	11		1	1	
	10	1	1	1	1

$$F(a,b,c,d)= b'c' + c'd + b c$$

Suposición 2:

		a b			
c d		00	01	11	10
	00	1			1
	01	1	1	1	1
	11		1	1	
	10	1	1	1	1

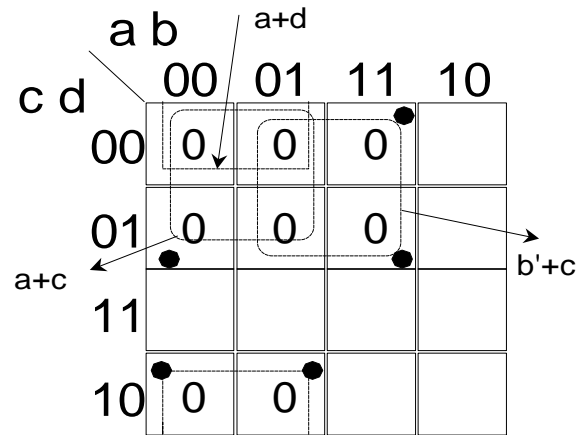
$$F(a,b,c,d) = b'c' + c d' + \dots \text{ (otros términos a determinar)}$$

Los mintérminos cubiertos por la expresión anterior aparecen sombreados

		a b			
c d		00	01	11	10
	00	1			1
	01	1	1	1	1
	11		1	1	
	10	1	1	1	1

$$F(a,b,c,d) = b'c' + c d' + b d.$$

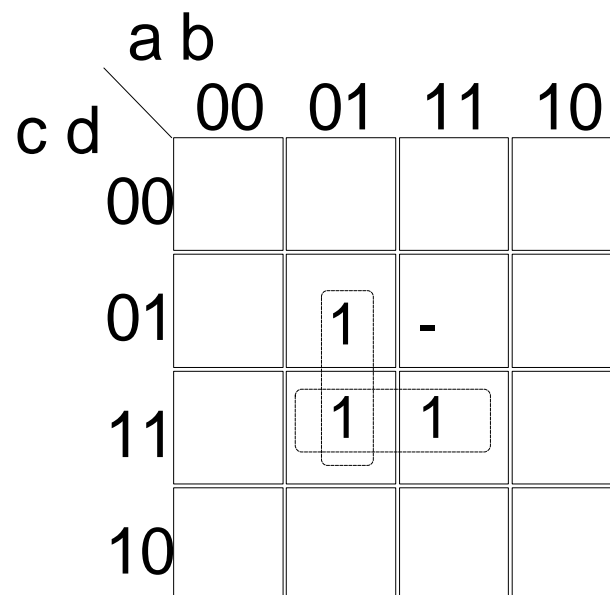
Obtención de las implicadas primas y productos mínimos mediante el método del K-mapa



$$F(a,b,c,d) = (a+d)(a+c)(b'+c)$$

Minimización de funciones de conmutación incompletas

$$F = \Sigma(5,7,15) + d(13)$$



$$F(a,b,c,d) = a'bd + bcd$$

El caso de las funciones de conmutación incompletas no es diferente, salvo que en la fase de obtención de implicantes (implicadas) asignaremos los valores 1 o 0 a las inespecificaciones con el objeto de obtener implicantes (implicadas) primas lo menos costosas posibles, pero en la fase de cubrimiento mínimo debemos considerar que no se deben incluir en la expresión mínima aquellas implicantes (implicadas) que cubran únicamente inespecificaciones, ya que esto provoca un incremento innecesario del coste del circuito.

$$F(a,b,c,d) = b d.$$

Ejemplo.

		a b			
		00	01	11	10
c d	00	1	1	1	
	01		-	1	
	11	1	-		-
	10	1			-

:

$$F(a,b,c,d) = bc' + b'd + a'b'c'.$$

Minimización de funciones de conmutación de 5 variables

Ejemplo 1: $F = \Sigma (0,5,6,7,8,13,15,16,20,21,22,23,24,29,31)$

		a b c							
d	e	000	001	011	010	110	111	101	100
		1			1	1		1	1
00									
01			1	1			1	1	
11			1	1			1	1	
10			1					1	

linea espejular

Ejemplo 2: $F = \Pi(1,3,5,7,9,10,11,16,17,18,19,20,21,22,23,25,26,27)$

		a b c							
d	e	000	001	011	010	110	111	101	100
								0	0
00									
01		0	0		0	0		0	0
11		0	0		0	0		0	0
10					0	0		0	0

linea espejular